PATENT ABSTRACTS OF JAPAN

(11)Publication number:

07-147426

(43)Date of publication of application: 06.06.1995

(51)Int.Cl.

HO1L 31/108 G11C 11/42 HO1L 27/15 HO1L 29/43

(21)Application number: 05-292318

(71)Applicant: NEC CORP

(22)Date of filing:

24.11.1993

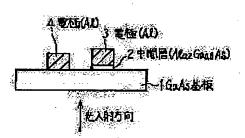
(72)Inventor: FUJIEDA SHINJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device which has an element that has both light receiving function and storing function by providing an electrode by successively laminating a middle layer formed of a specific compound semiconductor thin film and a metal film on a semiconductor substrate.

CONSTITUTION: An electrode 3 which has a metal/semiconductor structure is formed on a semiconductor substrate 1 as a light receiving and storing element on a semiconductor substrate 1. Then, a compound semiconductor thin film whose stoichiometry ratio is not one, not containing excess element deposition, is inserted between the metal/semiconductor structured electrode 3 and the semiconductor substrate 1 as a middle layer 2. The material of the compound semiconductor to be the middle layer 2 can be the same or different from that of the semiconductor of the substrate 1, and it can be either single crystal or non-single crystal. Thus, a semiconductor device provided with metal/ semiconductor junction that has both light receiving function and storing function is provided.



LEGAL STATUS

[Date of request for examination]

29.03.1994

[Date of sending the examiner's decision of rejection]

08.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11) 特許出國公開番号

特開平7-147426

(43)公開日 平成7年(1995)6月6日

建 的配号 广内盘型备号 P.I. 计格数示值F		Α	Z 8832-4M	H01L 31/10 C	7376-4M H 23/ 46 H	審査請求 有 請求項の数2 01 (全 4 頁) 最終頁に続く	
4年四日日本		Ω	2				
(51) Int Q.	HO 1 L ·31/108	G11C 11/42	H01T 21/15				

東京都港区芝五丁目7番1号 日本電気株 52名 東京都港区芝五丁目7番1号 超 日本電気株式会社 地 拉 斯枝 信次 (71) 出版人 000004237 大学社内 (3) 在到人 (72) 発明者 平成5年(1993)11月24日 **特顯平5-292318** (21) 汨琊地中 (22) 出題日

(54) [忠臣の允殊] 予等存機目

【目的】受光および配億機能を同時に持つ案子を有する [構成] GaAs基板1上KAs過剩A10.2 Gao.8 **半導体装置を実現する。** (67) [聚約]

As 寝膜の中間層 2を散け、その上にA1 電極3を散け

る。更にGaAs基板1上にA1電極4を設ける。

2中間層(Alaz Gaas As) ~1GaAs基板 3 审極(ALL) 4.配板(AC)

【請求項1】 半導体基板上に化学量臨比が1でなくか つ過剰元素の析出物を含まない化合物半導体薄膜からな る中間層と金属膜を順次積層して構成される電極を備え ていることを特徴とする半導体装置 [条許額水の飯田]

【請求項2】 半導体基板上に化学量論比が1でなくか つ過剰元素の析出物を含まない化合物半導体薄膜からな る中間層と絶縁性薄膜と金属膜とを順次積層して構成さ れる電極を備えていることを特徴とする半導体装置。 [発明の詳細な説明]

[0000]

【産業上の利用分野】本発明は、半導体装置に関し、 に配憶機能を有する電極の構造に関するものである。

[0002]

[従来の技術] 光デバイスと電子デバイスを一体化させ た半導体装置(OEIC)は、光の持つ並列性を利用し た並列信号処理装置として期待されている。OEICで 5。 すなわち、入力期間中に個々の受光繋子へ与えられ た信号内容が何らかの形で配憶されたのち、これを読み とって演算し電気的な出力を行なう。通常、配飯素子は 並列の光信号を演算処理するには記憶機能が必要であ

[0000]

受光漿子と別に散けられる。

[発明が解決しようとする課題] しかしながら、受光素 子と記憶寮子の両方を別々に散けることは、OEICの 高集積化には不利である。 本発明の目的は、受光と配像 の機能を同時に持つ素子を有する半導体装置を提供する ことにある。

[0004]

記憶業子として、金属/半導体構造の配極を作製し、こ の金属/半導体界面に、化学量臨比が1 でなくかし過剰 元案の折出物を含まない化合物半導体の確膜を中間層と して挿入する。第2の発明では、中間層と金属とを絶縁 **生等膜で分離する。ここで、中間層となる化合物半導体** の材料は、基板半導体と同じ材料でも異なる材料でも良 く、また、単結晶でも非単結晶でも良い。絶録性薄膜の またAlr Gai-x As, Inx Gai-x Pや他の南抵 抗ワイドパンドギャップ半導体を用いても良く、更に中 【課題を解決するための手段】第1の発明では、受光・ 間層化合物半導体を酸化,窒化させて形成した酸化膜, **対対には、SiOz , SiNx , AiNや色の結構存** 盤化膜でも良い。

[0005] 第2の発明の構造は、厳密には金属/絶録 膜/半導体(MIS)構造に当たる。しかし、中間圏内 の欠陥準位が金属との直接トンネリングでキャリアの捕 獲ないし放出をせぬよう金属と中間層を分離することが この構造の主旨であり、絶縁性薄膜の抵抗率としてSi Nr やSiOt なみの1016 0cmといった耐い値はか ならずしも要求されない。

[作用] 発光デバイス、徐に発光ダイオードの材料が化 スノ半導体構造の半導体装置は、化合物半導体で最も容 サイトガリウムや砒素空孔が多数存在する。また、逆に 配配億機能を劣化させるので、中間層は折出物を含まな いものとする。第2の発明では、金属と上記中間層とを トリアが金属ヘトンネリングし記憶保持機能が劣化して **哈釣半導体に限られることから、0 E I Cの材料には化** 合物半導体が主に用いられる。本第1の発明で用いる金 易に作製でき集積化に適当な構造である。本発明の化合 **内株過魃なGa As中にはアンチサイト内株やガリウム** 空孔が多数存在する。これらの欠陥は、それぞれに等有 **狙わせることができる。析出物は再結合速度を高くし上 治緑性薄膜で分離する。これは、中間層に捕捉されたキ** 物半導体の中間層には、化学型論比ずれによる欠陥が多 数含まれる。例えば、G8過剰なG8A8中にはアンチ 縮捉したキャリアを容易に放出しないので、配価機能を の電子的準位を持つ。これらの欠陥準位は概して欲く、 しまうのを有効に防ぐためである。

中間層2内の準位に捕捉される。光照射・電圧印加をや 5. すなわち光入力の有無が受光楽子において記憶され [0007] 本発明の装置の構造で受光・記憶動作を得 るには、図1, 図2に示すように、中間層2とA13あ るいは中間層2とSiNx 膜5とAl3を第1の電極と ド構造を作製する。 電極4の材料は電極3の材料と違っ ても良い。第1の電極が準パイアスとなるよう第1. 第 阪1のパンドギャップよりコネルギーの大きなパルス光 発生させ光電流を誘起する。この時、キャリアの一部が からキャリアを放出させれば良く、この時電極間に電流 たのち銃み出される。さらに、金属/半導体(電極3と 5ことにより、これら個々の接合配極に入力した蓄積電 し、第2の金属(A 1)電極4を設けてMSMダイオー 2の電極間に電圧を印加しつの、半導体(GBAs)基 めても、準位の深さに応じた時間内では捕捉状態が十分 保持される。信号の読みだしには光を照射して欠陥準位 中間層2)接合, あるいは中間層2とSIN* 膜5と電 すなわち、ある時間内に個々の配徳装置に与えられた入 (春き込み光) を照射して半導体基板1中にキャリアを 番3との接合を有する電極を複数と、電極4を1つ散け 質の和を電極4での電流値から読みとることができる。 が生ずる。この放出気荷量は着き込みの有無に対応す 力信号の和資算が可能になる。 2 \$

【奥施例】次に本発明を図面を用いて説明する。図1は 本発明の第1の実施例の節面図である。

上にAs過剩Alo.1 Gao.8 As轉版の中間層2, そ の上にAlからなる電極3を積層する。As過剰AlG aAs中国層2は、As/(Gs+A1) ピーム比を1 0, 基板温度を200℃, 成長速度を0.8 μm/時と [0009] 図1において、 (100) GaAs基板1

するMBE(分子様エピタキツー)治で成長させ、厚さ

8

4

1

梅阻平7-147426

梅開平7-147426

ල

を0.5~10nmとする。成長後、表面結晶性向上の

ためAst を照射しながら450℃で5分間熱処理す る。これにより、強度約101gcm-3の、伝導格下の.

【0013】図2は本発明の第2の実施例の断面図であ

司模のA s 過剰A 10.1 G 80.8 A 8の中間層 2を形成 後、SiN* 膜5を厚ま0、5~3n田スパッタ禁締む は絶縁性薄膜を形成したのち、AIを落着する。これを の電極を作製したのち、SiNx 膜5を含まない第2の 5。図2において、GaAs基板1上に第1の実施例と 監形して、中間層2AとA1電極3Aが分離された第1 A1電極4Aを形成する。

させたのち、このAI膜を通常のリングラフィにより整

型し電極3,4とすればMSMダイオードが得られる。

1~0.9eVのAsアンチサイト欠陥準位を拾つ中間 層2が形成される。この上に窒温でA1膜をMBE成長 集成しても同じ配憶機能を有するダイオードを形成する

ことができる。図1を用いて適用例を説明する。

[0010] 尚、基板や中間層及び電極を他の材料から

00) GaAs基板1上にGa過剰GaAs薄膜の中間 層をAェイオン服射法で形成後、その上にTiNからな イギンや信選覧用50~100Vで1×1016cH-1版

る配稿を積層する。室恒でGaAs基板1の表面にAr

射し、基板を450℃で5分間熱処理する。これによ 9、鎌度1018~1018cm-3の価電子帯上0.4~

【0011】第1の適用例としては図1において、(1

スし電流を光照射により誘起する書き込み過程での中間 【0014】このように第2の奥施例では、絶殺性障闘 中間層2A内の準位にキャリアが捕捉される割合が増加 **する。また、歯き込み後酷み込みまでに生じうるキャリ ア再放出過程のうち、電極3Aへのトンネル過程が阻ま れる。したがって、本第2の実施例では第1の実施例に** としてSiNx 殴ちの梅入により、鬼橋3Aを頃パイプ 習2 Aから電極3 Aへのキャリア流入が阻まれるため、 くらく記憶保存性が改善される。

[発明の効果] 以上説明したように本発明によれば、受 **光と記憶の機能を同時に持つ金属/半導体接合を有する** 半導体装置が得られ、OEICの高集積化が可能になる という効果がある。 [0015]

20

をスパッタ茶着させる。TiNをリングラフィにより盤

型し配価とすればMSMダイオードが得られる。

【0012】 類2の適用気としては図1において、(1

~3 n m の中間層が形成される。この上に窗温でTiN

0. 6 e VのG a アンチサイト欠陥準位を持つ、厚さ 1

[図面の簡単な説明]

その上にAlからなる電極を積層する。Ga過剰GaA s中間層は、A s 4 /G a ビーム比を0. 5, 基板温度

00) InP基板上にGa過剰GaAs薄膜の中関層、

【図1】本発明の第1の実施例の断面図

【図2】本発明の第2の実施例の節面図

GaAs基板 [符号の説明]

3

7、後度数1018c田−8の、街路子格上0.4~0.6

服射させずに450℃で5分間熱処理する。これによ

b形成される。この上に富温でAIをMBE成長させリ

s V のG a アンチサイト欠陥単位を持つG a A s 中間層 ソグラフィにより整型し電極とすればMSMダイオード

5 nmとする。成長後、娄面結晶性向上のためA s 4 を

(分子線エピタキシー) 独で成長させ、厚さを0.5~

を200℃, 成長速度を0.8 μm/時とするMBE

レロントページの指令

H01L 29/43

-3-

(51) Int. Cl.

識別記号 庁内整理番号

技術表示箇所